

OPTICAL SENSOR CIRCUIT AND IMAGE SENSOR USING THE SAME

Patent number: JP11264761 (A)

Publication date: 1999-09-28

Inventor(s): SHINOZUKA NORIYUKI; FUEKI NOBUHIRO; KAMIYAMA TOMOYUKI; IMAI TOSHIO; TANAKA TOSHIKI +

Applicant(s): HONDA MOTOR CO LTD; CITIZEN WATCH CO LTD +

Classification:

- international: G01J1/44; H01L27/146; H01L31/10; H04N3/15; H04N5/335; G01J1/44; H01L27/146; H01L31/10; H04N3/15; H04N5/335; (IPC1-7): G01J1/44; H01L27/146; H01L31/10; H04N5/335

- european: H04N3/15E; H04N3/15E6; H04N5/355A1

Application number: JP19980067979 19980318

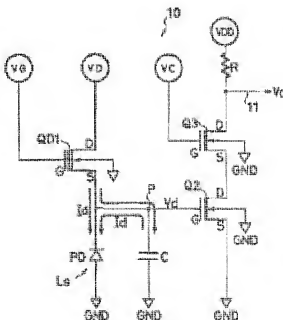
Priority number(s): JP19980067979 19980318

Also published as:

US8909462 (B1)

Abstract of JP 11264761 (A)

PROBLEM TO BE SOLVED: To provide an optical sensor which can detect the microoptical signal with high accuracy, is free from the after-image phenomenon and has high S/N ratio, and by which a number of necessary power sources can be reduced. **SOLUTION:** An optical sensor circuit comprises a photodiode PD for converting an optical signal into the electric current, a n-channel MOS transistor QD1 having the logarithmic characteristic in the weak reversal condition, and converting the sensor current detected by the photodiode PD into the detection voltage having the logarithmic characteristic, and a capacitor C connected with a detecting terminal of the transistor QD1. The voltage $V_G=V_S$ for reset is applied to a gate G of the transistor QD1 whereby the impedance between a drain and a source is lowered to reset the same into the initial condition. The n-channel MOS transistor QD1 is formed by a depression type n-channel MOS transistor, and the transistor is in the weak reversal state and has the logarithmic characteristic in a condition that the gate voltage is not applied to the transistor QD1.



特開平11-264761

(43) 公開日 平成11年(1999) 9月28日

(51) Int.Cl. ⁸	識別記号	F I	
G 0 1 J 1/44		G 0 1 J 1/44	F
H 0 1 L 27/146		H 0 4 N 5/335	E
31/10		H 0 1 L 27/14	A
H 0 4 N 5/335		31/10	G

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21) 出願番号	特願平10-67979	(71) 出願人	00000326 本田技研工業株式会社 東京都港区南青山二丁目1番1号
(22) 出願日	平成10年(1998) 3月18日	(71) 出願人	00000190 シチズン時計株式会社 東京都新宿区西新宿2丁目1番1号
		(72) 発明者	篠塚 典之 埼玉県和光市中央1丁目4番1号 株式会社 本田技術研究所内
		(72) 発明者	笛木 信宏 埼玉県和光市中央1丁目4番1号 株式会社 本田技術研究所内
		(74) 代理人	弁理士 大西 正信

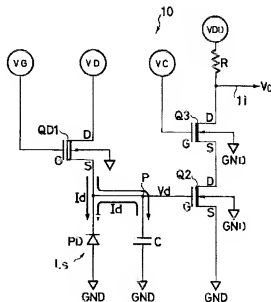
最終頁に続く

(54) 【発明の名称】 光センサ回路およびこれを用いたイメージセンサ

(57) 【要約】

【課題】 微小光信号を高精度に検出でき、残像現象が発生せず、 S/N 比が高く、且つ必要電源の数が少ない光センサ回路を得る。

【解決手段】 光信号を電流に変換するフォトダイオードPDと、弱反転状態で対数特性を有し、フォトダイオードPDが検出したセンサ電流を対数特性を有する検出電圧に変換するnチャンネルMOSトランジスタQD1と、このトランジスタQD1の検出端子に接続されたコンデンサCとを有して光センサ回路が構成され、トランジスタQD1のゲートGにリセット用電圧 $V_G = V_S$ を印加してドレインソース間のインピーダンスを低下させて初期状態にリセットする。nチャンネルMOSトランジスタQD1はデプレッション型nチャンネルMOSトランジスタから構成し、このトランジスタQD1にゲート電圧を印加しない状態では、このトランジスタが弱反転状態で対数特性を有する。



【特許請求の範囲】

【請求項1】 光信号を電流に変換する光-電気変換手段と、

弱反転状態で対数特性を有し、前記光-電気変換手段が検出したセンサ電流を対数特性を有する検出電圧に変換するnチャンネルMOSトランジスタと、

このnチャンネルMOSトランジスタの検出端子に接続し、出力電圧を対数圧縮する機能を付加したものと開発されている。なお、これは、FETに流れる電流が小さいときはその抵抗変化が対数特性を示すことを利用している。

【0004】このような光センサ回路の構成例を図6に示している。この光センサ回路100は、フォトダイオードPD、これに直列に接続されたエンハンスメント型nチャンネルMOSトランジスタQ1、フォトダイオードPDとエンハンスメント型nチャンネルMOSトランジスタQ1の接続点P（センサ検出端子）にゲートが接続されたエンハンスメント型nチャンネルMOS型トランジスタQ2、このエンハンスメント型nチャンネルMOS型トランジスタQ2と直列に接続されたエンハンスメント型nチャンネルMOSトランジスタQ3から構成される。また、接続点Pには、フォトダイオードPD、エンハンスメント型nチャンネルMOSトランジスタQ1、Q2およびこれらとを相互に接続する配線等によって生じる浮遊容量の合成値とかなる寄生容量コンデンサCが接続される。

【請求項2】 前記光-電気変換手段の検出信号を増幅する増幅トランジスタと、この増幅トランジスタによって増幅された信号を出力するスイッチ手段とを有することを特徴とする請求項1に記載の光センサ回路。

【請求項3】 複数の請求項1に記載の光センサ回路をアレイ状に配設して構成されるイメージセンサであって、アレイ状の各列毎に、その列をなす前記光センサ回路からの検出信号の取り出しを行わせる取り出し信号を送出する取り出しラインと、その列をなす前記光センサ回路を初期状態にリセットさせるリセット信号を送出するリセットラインとを有し、

前記取り出しラインがそれぞれ取り出し走査方向と反対側に隣り合うリセットラインと繋がっていることを特徴とするイメージセンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、照度に応じたセンサ出力を検出する光センサ回路およびこれを用いたイメージセンサに関し、特に、ダイナミックレンジが広く、感度が高く、且つ必要駆動電源数が少ない光センサ回路およびこれを用いたイメージセンサに関する。

【0002】

【従来の技術】 光センサ回路をマトリクス状に組み合わせてなるMOS型や、CCD型のイメージセンサは、既に従来から良く知られている。これらイメージセンサでは、照射光（入射光）によって光センサ回路に生じる電荷を光信号として用いている。例えば、CCD型イメージセンサでは主に光信号によって発生した電荷を各光センサ回路において蓄積して光信号として使い、MOS型イメージセンサでは、光センサ回路を構成するフォトダイオードの接合容量に予め電荷を充電し、照射光によ

て放電された電荷量を再充電時に検出することによって光信号を検出するようにしている。

【0003】このような光センサ回路による光信号検出に際して、そのダイナミックレンジを拡大することを目的として、フォトダイオード（受光素子）にFET（電界効果トランジスタ、例えば、エンハンスメント型nチャンネルMOSトランジスタ）等を直列に接続し、出力電圧を対数圧縮する機能を付加したものも開発されている。なお、これは、FETに流れる電流が小さいときはその抵抗変化が対数特性を示すことを利用している。

【0004】このような光センサ回路の構成例を図6に示している。この光センサ回路100は、フォトダイオードPD、これに直列に接続されたエンハンスメント型nチャンネルMOSトランジスタQ1、フォトダイオードPDとエンハンスメント型nチャンネルMOSトランジスタQ1の接続点P（センサ検出端子）にゲートが接続されたエンハンスメント型nチャンネルMOS型トランジスタQ2、このエンハンスメント型nチャンネルMOS型トランジスタQ2と直列に接続されたエンハンスメント型nチャンネルMOSトランジスタQ3から構成される。また、接続点Pには、フォトダイオードPD、エンハンスメント型nチャンネルMOSトランジスタQ1、Q2およびこれらとを相互に接続する配線等によって生じる浮遊容量の合成値とかなる寄生容量コンデンサCが接続される。

【0005】フォトダイオードPDは光信号Isを検出し、光信号Isの照度に比例したセンサ電流Idに変換する。エンハンスメント型nチャンネルMOSトランジスタQ1はフォトダイオードPDの負荷を形成し、フォトダイオードPDで検出したセンサ電流Idを電圧に変換してセンサ検出端子Pに検出電圧Vdを発生する。

【0006】また、エンハンスメント型nチャンネルMOSトランジスタQ1は、センサ電流Idが小さな範囲の弱反転状態で対数特性を有するMOSトランジスタ負荷を形成し、フォトダイオードPDで検出したセンサ電流Idを対数特性を有する検出電圧Vdに変換する。このため、光信号Isが大きく変化してセンサ電流Idが大きく変化（桁数が異なるような大きな変化）しても、こうに対数特性を有した変換がなされて検出電圧Vdの変化は抑えられてこれが飽和することがなく、入力に対する出力のダイナミックレンジを広くすることができる。

【0007】nチャンネルMOS型トランジスタQ2は出力トランジスタを形成し、検出電圧Vdをセンサ電流信号として光センサ回路100の外部に取り出すための電圧-電流変換を行う。また、nチャンネルMOS型トランジスタQ3は、nチャンネルMOS型トランジスタQ2で変換されたセンサ電流信号を外部回路に接続又は切断するためのスイッチを形成する。

【0008】このように構成された従来の光センサ回路

の動作を説明する。エンハンスメント型nチャンネルMOS型トランジスタQ1のドレインDおよびゲートGは共通の電源VD（例えば、5V）に接続されており、光信号Isが検出されない状態（フォトダイオードPDが不動作状態）では、電源VDからエンハンスメント型nチャンネルMOS型トランジスタQ1を介して充電電流IjがコンデンサCに流れ、コンデンサCが充電される。このため、センサ検出端子Pの検出電圧Vdは電源VDの電圧に近い値まで上昇し、この電圧値はフォトダイオードPDが光信号Isを検出していない初期状態を示す値となる。

【0009】なお、初期状態における検出電圧Vdの値（初期値）は、コンデンサCが充電されてセンサ検出端子Pの検出電圧Vdが上昇して電源VDの電圧に近づくにつれて、エンハンスメント型nチャンネルMOS型トランジスタQ1のゲートG-ソースS間の電圧V(GS)（ドレインD-ソースS間の電圧V(SD)と同じ）が低下し、ドレインD-ソースS間のインピーダンスが急激に増加するために充電電流Ijが現象してしまい、電源VDより小さな値（例えば、4.5V）に設定される。

【0010】光センサ回路100の初期状態からフォトダイオードPDが光信号Isを検出すると、フォトダイオードPDにセンサ電流Idが流れ、センサ検出端子Pの検出電圧Vdは光信号Isの増加に対応してエンハンスメント型nチャンネルMOS型トランジスタQ1のドレインD-ソースS間のインピーダンスに対応した対数特性で減少し、初期値よりも低下する。この検出電圧Vdの絶対値を検出することにより、光信号Isを検出することができる。なお、フォトダイオードPDのセンサ電流Idは光信号Isに比例し、一方、センサ検出端子Pの検出電圧Vdはセンサ電流Idに対数特性を有するドレインD-ソースS間のインピーダンスを乗算した値なので、光信号Isを対数的特性をもって検出することができる。

【0011】この光センサ回路100におけるセンサ電流Id-検出電圧Vd特性を図7に示している。この図から分かるように、光センサ回路100の初期状態に近いとき（センサ電流Id = 10^{-12} A）の検出電圧Vdの値（初期値）は、例えば、4.5Vであり、センサ電流が5桁増加したとき（センサ電流Id = 10^{-7} Aのとき）には検出電圧Vdは4.2Vになる。このように、上記光センサ回路100を用い、光信号の5桁レベル（10万倍）の変化を検出電圧Vdでは0.3Vの範囲の変化として検出することができるため、光信号Isの入力に対してダイナミックレンジの広い光センサ回路を構成することができる。

【0012】しかしながら、上記の構成の光センサ回路100の場合には、光信号の全範囲においてセンサ電流Idに対して対数特性で検出電圧Vdへの変換を行うため、光信号Isが微小でセンサ電流が微小な範囲（Id

= 10^{-12} ~ 10^{-11} A程度）の場合には、検出電圧Vdの変化が小さすぎてセンサ感度があまり良くないという問題がある。

【0013】また、上記光センサ回路100では、フォトダイオードPDが光信号Isを検出してしまった場合、フォトダイオードPDが遮断され、コンデンサCには充電電流Ijが流れ、センサ検出端子Pの検出電圧Vdは上昇していくが、既に説明したように、エンハンスメント型nチャンネルMOS型トランジスタQ1のドレインD-ソースS間のインピーダンスが急激に増加して所定値（4.5V）以上には増加しない。このように検出電圧Vdが上昇するときの時間経過特性を図8において波線L（100）で示しているが、この図に示す特性から分かるように、検出電圧Vdは、フォトダイオードPDが遮断されてから所定値に近づくにつれてその増加率が低下するため、所定値（4.5V）に達するまで時間がかかる。

【0014】このため、上記光センサ回路100をマトリクス状に配置してイメージセンサに適用する場合、検出電圧Vdをリセットするときに初期値（4.5V）に到達するまでの応答時間が遅く、イメージセンサには長時間の残像として表示されるという問題がある。

【0015】また、上記光センサ回路100は、ノイズに対してエンハンスメント型nチャンネルMOS型トランジスタQ1およびコンデンサCがピークホールド回路を形成し、振幅の大きなノイズレベルを光信号Isとして誤検出し、S/N比が低下して検知可能範囲の上限が上昇し、感度低下を招くという問題もある。

【0016】このようなことから本出願人は、微小光信号の検出が高精度で可能であり、残像現象の発生がほとんど生じなく、S/N比が高いような光センサ回路を考案した（これについては既に別途出願済み）。この光センサ回路200を図9に示しており、上述の光センサ回路100とは、エンハンスメント型nチャンネルMOS型トランジスタQ1のドレインDには定電圧電源（例えば、5V）VDが接続され、ゲートGには高低二種類のゲート電圧を印加可能なゲート電圧電源VGが接続されている点が異なる。

【0017】このような構成の光センサ回路200の場合には、図10に示すようなタイミングで、ドレイン電圧VD（=5V）より十分高い高電圧VHと、ドレイン電圧VDに等しいもしくはこれより低い低電圧VLとがゲート電圧VGに印加される。まず、ゲート電圧VGとして高電圧VHが設定されると、エンハンスメント型nチャンネルMOS型トランジスタQ1のドレインD-ソースS間のインピーダンスは低抵抗状態となり、コンデンサCは、図8において実線L（200）で示すように、急速に充電され、センサ検出端子Pの検出電圧Vdはドレイン電圧VD（=5V）にはほぼ等しい値（例えば、4.95V）まで上昇する。このため、光センサ回路2

00をマトリクス状に配置してイメージセンサに適用する場合、検出電圧Vdをリセットするときに初期値(4.95V)に到達するまでの応答性が良くなり、イメージセンサの残像の問題を防止できる。

【0018】次に、検出可能期間としてゲート電圧VGが低電圧VLに設定されると、エンハンスメント型nチャンネルMOSTランジスタQ1は弱反転状態となる。そして、フォトダイオードPDに光が照射されるとコンデンサCに蓄えられた電荷が放電される。ここで、フォトダイオードPDに入射する光が弱い場合はセンサ電流Idはほとんど流れないため、エンハンスメント型nチャンネルMOSTランジスタQ1は高インピーダンス状態であり、主にコンデンサCに充電された電荷が利用される。このため、出力電圧Vdの変化はリニア(線形)的になる。一方、フォトダイオードPDに入射する光が強くなると、検出電圧Vdの特性は図10において矢印で示すように変化し、コンデンサCに蓄えられた電荷は急速に消費され、フォトダイオードPDを流れるセンサ電流Idはエンハンスメント型nチャンネルMOSTランジスタQ1を通る電流となり、出力電圧Vdの変化は対数的となる。

【0019】この関係を図11に示しており、光が弱くセンサ電流Idが $10^{-12} \sim 10^{-11}$ の場合には、コンデンサCの電荷が放電され、検出電圧Vdは線形的に変化するが、光が強くとセンサ電流Idが 10^{-11} を超える領域では、検出電圧Vdは対数的に変化する。つまり、この光センサ回路200の場合には、光が弱いとき(センサ電流Idが小さいとき)には通常のMOS型素子と同等の線形的な出力特性が得られ、光が強くなると(センサ電流Idがある程度大きくなると)対数型の素子と同等の出力特性が得られる。これにより、センサ電流Idが小さい時は蓄積効果を利用することによって高感度を実現でき、且つ対数型素子で問題となる入射光が小さいときのS/N比の問題も改善できる。

【0020】

【発明が解決しようとする課題】しかしながら、上記の光センサ回路200においては、エンハンスメント型nチャンネルMOSTランジスタQ1のゲート電圧VGには、高電圧VHを与える高電圧電源と、低電圧VLを与える低電圧電源との二種類の電源が必要であり、さらに、エンハンスメント型nチャンネルMOSTランジスタQ1のドレイン電圧電源VDや、nチャンネルMOSTランジスタQ3のドレイン電圧電源VDDおよびゲート電圧電源VC等も必要であり、多数の電源が必要であるため、構成が複雑化しやすいという問題がある。

【0021】本発明はこのような問題に鑑み、微小光信号を高精度に検出でき、残像現象が発生せず、S/N比が高く、且つ必要電源の数を少なくすることができ、また、構成が複雑化しにくいという問題がある。

【0022】

【課題を解決するための手段】このような目的達成のため、本発明においては、光信号を電流に変換する光-電気変換手段(例えば、実施形態におけるフォトダイオードPD)と、弱反転状態で対数特性を有し、光-電気変換手段が検出したセンサ電流を対数特性を有する検出電圧に変換するnチャンネルMOSTランジスタ(QD1)と、このnチャンネルMOSTランジスタの検出端子に接続して配設されたコンデンサ(C)と、nチャンネルMOSTランジスタのゲートにリセット用電圧(VS)を印加してドレイン-ソース間のインピーダンスを低下させ、コンデンサの充電または放電を制御する初期設定手段(例えば、実施形態におけるゲート電圧電源VGや、タイミング調整器21)とを備えて光センサ回路が構成される。その上で、nチャンネルMOSTランジスタをデプレッション型nチャンネルMOSTランジスタから構成し、このデプレッション型nチャンネルMOSTランジスタにゲート電圧を印加しない状態では、このランジスタが弱反転状態で対数特性を有するようにしている。

【0023】このような構成の光センサ回路では、デプレッション型nチャンネルMOSTランジスタにゲート電圧を印加しない状態($V_G=0$ の状態)で、このランジスタが弱反転状態で対数特性を有する状態となり、対数特性での光検出を行うことができ、入力に対する出力のゲインミックスレンジの大きな検出が可能である。その上、光信号が弱くて光-電気変換手段(フォトダイオード)のセンサ電流がほとんど流れないときにはランジスタは高インピーダンス状態となり、コンデンサCの充電電荷が利用されるため、出力電圧は光に対してリニアに変化し、微弱な光を高感度で検出できる。なお、この検出はコンデンサの放電電圧を検出するもので、いわゆる蓄積型の検出となるので、ピーク状のノイズの影響を受けにくく、S/N比の高い検出が可能である。

【0024】一方、デプレッション型nチャンネルMOSTランジスタのゲートにリセット電圧VG=VSを印加すれば、そのドレイン-ソース間のインピーダンスを低抵抗状態とし、コンデンサを急速に充電して回路を初期状態にリセットすることができる。このように、回路のリセットを行うときにのみゲート電圧VG=VSとしてリセット電圧を印加するだけで、検出期間中はゲート電圧VG=0として電圧を印加する必要があるため、デプレッション型nチャンネルMOSTランジスタのゲート電圧として一種の電源があればよいので、従来の回路より駆動電源数が少なくなり、回路構成が簡単となる。

【0025】また、本発明に係るイメージセンサは、上記の光センサ回路を複数個、アレイ状に配設して構成されるのであるが、このイメージセンサは、各列毎に設けられて各光センサ回路からの検出信号の取り出しを行わ

せる取り出し信号を送出する取り出しラインと、各列毎に設けられて各光センサ回路を初期状態にリセットさせるリセット信号を送出するリセットラインとを有し、取り出しラインがそれぞれ取り出し走査方向と反対側に隣り合うリセットラインと繋がっている。

【0026】このように構成されたイメージセンサの場合には、取り出しラインに取り出し信号を送出すると、このラインに繋がったリセットラインにもこれと同じ信号がリセット信号として送出され、取り出し走査方向と反対側に隣り合う列を構成する光センサ回路が同時にリセットされる。すなわち、各列の光センサ回路からの検出信号の取り出しを順次行って走査するときに、検出が完了した列の光センサ回路が同時にリセットされる。このことから分かるように、一つの信号で検出信号の取り出しと隣の列のリセットとを同時に行うことができ、制御が簡単となる。

【0027】

【発明の実施の形態】以下、本発明の好ましい実施形態について図面を参照して説明する。本発明に係る光センサ回路10の構成例を図1に示している。この光センサ回路10は、フォトダイオードPD、これに直列に接続されたデプレッション型nチャンネルMOSトランジスタQD1、フォトダイオードPDとデプレッション型nチャンネルMOSトランジスタQD1の接続点P（センサ検出端子）にゲートが接続されたエンハンスメント型nチャンネルMOSトランジスタQ2、このエンハンスメント型nチャンネルMOSトランジスタQ2と直列に接続されたエンハンスメント型nチャンネルMOSトランジスタQ3から構成される。また、接続点Pには、フォトダイオードPD、デプレッション型nチャンネルMOSトランジスタQD1、エンハンスメント型nチャンネルMOSトランジスタQ2およびこれらを相互に接続する配線等によって生じる浮遊容量の合成値である寄生容量コンデンサCが接続される。

【0028】フォトダイオードPDは光信号 I_s を検出し、光信号 I_s の照度比に比例したセンサ電流 I_d に変換する。デプレッション型nチャンネルMOSトランジスタQD1はフォトダイオードPDの負荷を形成し、フォトダイオードPDで検出変換したセンサ電流 I_d を電圧に変換してセンサ検出端子Pに検出電圧 V_d を発生する。

【0029】また、デプレッション型nチャンネルMOSトランジスタQD1は、センサ電流 I_d が小さな範囲の弱反転状態で対数特性を有するMOSトランジスタ負荷を形成し、フォトダイオードPDで検出したセンサ電流 I_d を対数特性を有する検出電圧 V_d に変換する。このため、光信号 I_s が大きく変化してセンサ電流 I_d が大きく変化（桁数が異なるような大きな変化）しても、このように対数特性を有した変換がなされて検出電圧 V_d の変化は抑えられてこれが飽和することがなく、入力

に対する出力のダイナミックレンジを広くすることができる。

【0030】エンハンスメント型nチャンネルMOS型トランジスタQ2は出力トランジスタを形成し、検出電圧 V_d をセンサ電流信号としてセンサ回路10の外部に取り出すための電圧-電流変換を行う。また、エンハンスメント型nチャンネルMOS型トランジスタQ3は、エンハンスメント型nチャンネルMOS型トランジスタQ2で変換されたセンサ電流信号を外部回路に接続又は切断するためのスイッチを形成する。

【0031】上述のようにトランジスタQD1はデプレッション型であり、トランジスタQ2およびQ3はエンハンスメント型であるが、これらの相違について図2を参照して説明する。図2には、デプレッション型nチャンネルMOSトランジスタQD1の特性を実線で示し、エンハンスメント型nチャンネルMOSトランジスタQ2、Q3（並びに図6および図9に示す従来の光センサ回路におけるエンハンスメント型MOSトランジスタQ1）の特性を鎖線で示している。この特性から分かるように、従来の回路でも用いられているエンハンスメント型nチャンネルMOSトランジスタQ1、Q2、Q3はゲート電圧 $V_G=0$ のときには検出電流 I_d は出力されず、常にOFFの状態となるが、デプレッション型nチャンネルMOSトランジスタQD1の場合には、ゲート電圧 $V_G=0$ の状態でも弱反転状態とすることができる。

【0032】具体的に、デプレッション型nチャンネルMOSトランジスタQD1のゲート電圧 $V_G=0$ の状態が、図9に示した従来の回路においてエンハンスメント型nチャンネルMOSトランジスタQ1のゲートに低電圧 V_L を印加した状態と同一の状態となる。さらに、デプレッション型nチャンネルMOSトランジスタQD1のゲート電圧 $V_G=V_S$ とすれば、ドレイン-ソース間の低抵抗状態とすることができる。この状態は、図9に示した従来の回路において、エンハンスメント型nチャンネルMOSトランジスタQ1のゲートに高電圧 V_H を印加した状態と同一の状態となる。

【0033】このような構成の光センサ回路10においては、図3に示すようなタイミングで、図2に示した所定電圧 V_S がゲート電圧 V_G として印加される。このゲート電圧 $V_G=V_S$ は回路リセットのための信号電圧として短時間 t_1 の間だけ作用するもので、ゲート電圧 V_G として所定電圧 V_S が設定されると、デプレッション型nチャンネルMOSトランジスタQD1のドレイン-ソース間のインピーダンスは低抵抗状態となり、コンデンサCは、図8において実線1（200）で示すように、急速に充電され、センサ検出端子Pの検出電圧 V_d はドレイン電圧 $V_D(=V_S)$ にほぼ等しい値（例えば、4.95V）まで上昇する。このため、後述（図5）するように光センサ回路10をセトリック状に配置してイメージセンサに適用する場合、検出電圧 V_d をリ

セットするときに初期値(4.95V)に到達するまでの応答性が良く、イメージセンサの残像発生を防止できる。

【0034】次に、検出可能期間も2の間だけゲート電圧VG=0に設定される。この状態では、図2に示したように、デプレッション型nチャンネルMOSとランジスタQD1は弱反転状態となる。そして、フォトダイオードPDに光が照射されるとまずコンデンサCに蓄えられた電荷が放電される。ここで、フォトダイオードPDに入射する光が強い場合はセンサ電流I_dはほとんど流れないため、デプレッション型nチャンネルMOSトランジスタQD1は高いインピーダンス状態であり、主にコンデンサCに充電された電荷が利用される。このため、出力電圧V_dはコンデンサCからの放電量に対応しておりその変化はリニア(線形)になる。このときの出力電圧V_dの検出は、検出可能期間も2以内での累積された放電量を検出するものであり、ピーク的なノイズの影響を受けることがなく、S/N比の高い検出が行われる。

【0035】一方、フォトダイオードPDに入射する光が強く、検出電圧V_dの特性は図3において矢印で示すように変化し、コンデンサCに蓄えられた電荷は急速に消費され、フォトダイオードPDを流れるセンサ電流I_dはデプレッション型nチャンネルMOSトランジスタQD1を通る電流となり、出力電圧V_dの変化は対数的となる。

【0036】この関係は図11に示すようになり、図9に示した光センサ回路200と同様の特性が得られる。すなわち、光センサ回路10によれば、光が弱くセンサ電流I_dが 10^{-12} ~ 10^{-11} の場合には、コンデンサCの電荷が放電され、検出電圧V_dは線形的に変化するが、光が強くセンサ電流が 10^{-11} を超える領域では、検出電圧V_dは対数的に変化する。つまり、この光センサ回路10の場合には、光が弱いとき(センサ電流I_dが小さいとき)には通常のMOS型素子と同等の線形的な出力特性が得られ、光が強くなると(センサ電流がある程度大きくなると)対数型の素子と同等の出力特性が得られる。これにより、センサ電流が小さい時は蓄積効果を利用することによって高感度を実現でき、且つ対数型素子と問題となる入射光が小さいときのS/N比低下の問題も改善できる。

【0037】このようにして得られた出力電圧V_dは、エンハンスメント型nチャンネルMOSトランジスタQ2により電圧-電流変換がなされ、さらに、エンハンスメント型nチャンネルMOSトランジスタQ3により設定されるスイッチタイミングでライン1から検出電圧V₀として外部に取り出される。

【0038】以上の構成の光センサ回路10においては、デプレッション型nチャンネルMOSトランジスタQD1の駆動電源としては、定電圧電源VD(=5V)と、図3に示すタイミングで加えられる一種類のゲート

電源VG(=VS)と、エンハンスメント型nチャンネルMOSトランジスタQ2、Q3のドレイン電源VDD(=5V)と、エンハンスメント型nチャンネルMOSトランジスタQ3のゲートに印加されるスイッチ電源VCとがある。この場合、電源VD、VDD、VCについては図9に示した光センサ回路200と同一であるが、ゲート電源VGに関しては、図9に示した光センサ回路200の場合は高低2種類のゲート電圧VH、VLが必要であるに対して、本発明の光センサ回路10の場合には一種類のゲート電圧VSのみが必要である。このため、電源の数を少なくすることができ、回路構成を簡単にすることができる。

【0039】図4には本発明に係る光センサ回路の異なる実施形態を示している。この光センサ回路20は、図1に示す光センサ回路20は、図1に示す光センサ回路10とはデプレッション型nチャンネルMOSトランジスタQD1のゲートにタイミング調整器21を介してソース電源VDが繋がっている点のみが異なり、他の構成は同一である。

【0040】この光センサ回路20では、ソース電源電圧VDをゲート電圧VGとしても利用するものであり、タイミング調整器21により、図3に示すタイミングで時間t1の間だけソース電圧VDがゲート電圧として印加される。ここで、デプレッション型nチャンネルMOSトランジスタQD1は、図2におけるVS=VDとなるような特性を有しており、ゲート電圧VGとしてドレイン電圧VDが印加されると、ドレイン-ソース間のインピーダンスは低抵抗状態となり、コンデンサCは急速に充電され、センサ検出増子Pの検出電圧V_dはドレイン電圧VD(=5V)にほぼ等しい値(例えば、4.95V)まで上昇し、回路のリセットがなされる。

【0041】次に、タイミング調整器21により検出可能期間も2の間だけゲート電圧VG=0に設定されると、図2に示したように、デプレッション型nチャンネルMOSトランジスタQD1は弱反転状態となり、図1の回路10と同様に光検出が行われる。

【0042】このような構成の光センサ回路20の場合には、電源としては、図示のように、VD、VC、VDの3種類でよく、必要電源数はさらに少ない。

【0043】次に、上記のような構成の本発明に係る光センサ回路10(20)をマトリクス状に並べて構成したイメージセンサ50について、図5を参照して説明する。このイメージセンサ50は光センサ回路(画素)10を平面上にアレイ状に配設して長方形もしくは正方形に形成されており、ここでは定電圧電源VD、VDDは省略して示している。

【0044】このイメージセンサ50によりイメージ検出を行うには、一度に縦列に位置する各画素10の検出電圧V₀を検出ライン5から取り出すとともに、この縦列の検出を各列毎に順次走査して行う。なお、検出

ライン5は、図1に示す出力ライン11に対応する。このような検出電圧V0の取り出しは、所定のタイミングでスイッチ電源VCを印加して行われ、検出完了の度に各縦列毎にデプレッション型nチャンネルMOSトランジスタQD1のゲートにゲート電圧VG=Vを印加してこれをリセットする。

【0045】このような、検出電圧V0の取り出しのためのスイッチ電源VCの印加端子を各素子10においてSELで示し、リセットのためのゲート電圧印加端子をRSTで示している。図5に示すように、縦列の画素の各取り出し用印加端子SELには取り出し信号ライン52が繋がり、各リセット用印加端子RSTにはリセット信号ライン53が繋がる。さらに、各取り出し信号ライン52は、図に示る左隣の縦列の画素の端子RSTに繋がるリセット信号ライン53に繋がる。

【0046】上記の構成のイメージセンサ50を用いるときには、左端側の縦に並んだ画素列から右方向に向かって順次、取り出し信号ライン52に取り出し信号（スイッチ電源電圧VC）を印加（走査）して、検出電圧V0を取り出す。これにより、各縦列の画素列を左から右に走査してイメージ検出を行う。ここで、左端縦列の検出電圧V0の取り出しが完了して、次に左から2番目の縦列の画素列の取り出し信号ライン52に取り出し信号を印加してこの縦列の画素列から検出信号の取り出しを行うときに、取り出し信号ライン52は左端の縦列の端子RST信号ライン53に繋がるため、このリセット信号ライン53にリセット信号が印加され、左端側の縦列が全てリセットされ、次の光検出が行われる。以下、同様に検出信号の取り出しが行われるときに同時に左隣の縦列の端子RSTにリセットが行われる。

【0047】このように構成すれば、検出信号の取り出しとリセットとを一つの信号で行うことができ、制御が簡単となる。なお、この検出信号の取り出しおよびリセットは、図3における時間も2の終了時点で行われる。

【0048】

【発明の効果】以上説明したように、本発明によれば、nチャンネルMOSトランジスタをデプレッション型nチャンネルMOSトランジスタから構成し、このデプレッション型nチャンネルMOSトランジスタにゲート電圧を印加しない状態では、このトランジスタが弱反転状態で対数特性を有する状態となり、対数特性での光検出を行うことができ、入力に対する出力のダイナミックレンジの大きな検出が可能である。その上、光信号が弱くて光-電気変換手段（フォトダイオード）のセンサ電流がほとんど流れないときにはトランジスタは高インピーダンス状態となり、コンデンサの充電電荷が利用されるため、出力電圧は光に対してリニアに変化し、微弱な光を高感度で検出できる。なお、この検出はコンデンサの放電量を検出するもので、いわゆる蓄積型の検出となるので、ピーク状のノイズの影響を受けにくく、S/N

比の高い検出が可能である。

【0049】さらに、デプレッション型nチャンネルMOSトランジスタのゲートにリセット電圧VSを印加すれば、そのドレインソース間のインピーダンスを低抵抗状態とし、コンデンサを急速に充電して回路を初期状態にリセットすることができる。このように、回路のリセットを行うときのみゲート電圧VG=VSとしてリセット電圧を印加するだけで、検出期間中はゲート電圧VG=0として電圧を印加する必要がないため、デプレッション型nチャンネルMOSトランジスタのゲート電圧として一種の電源があればよいので、従来の回路より駆動電源数が少なくなり、回路構成を簡単とすることができる。

【0050】また、本発明に係るイメージセンサは、取り出しラインに取り出し信号を送出すると、このラインに繋がったリセットラインにもこれと同じ信号がリセット信号として送出され、取り出し走査方向と反対側に隣り合う列を構成する光センサ回路が同時にリセットされる。すなわち、各列の光センサ回路からの検出信号の取り出しを順次行って走査するとき、検出が完了した列の光センサ回路が同時にリセットされるので、一つの信号で検出信号の取り出しと隣の列のリセットとを同時に行うことができ、制御が簡単となる。

【図面の簡単な説明】

【図1】本発明に係る光センサ回路の構成を示す回路図である。

【図2】この光センサ回路を構成するトランジスタの特性を示すグラフである。

【図3】この光センサ回路におけるゲート電圧VG（取り出し信号）および検出電圧Vdの時間変化を示すグラフである。

【図4】本発明の異なる実施形態に係る光センサ回路の構成を示す回路図である。

【図5】本発明に係るイメージセンサの構成を示す概略図である。

【図6】従来の光センサ回路を示す回路図である。

【図7】従来の光センサ回路のセンサ電流Idー検出電圧Vdの特性を示すグラフである。

【図8】従来の光センサ回路の検出電圧Vdの時間変化を示すグラフである。

【図9】本発明の課題を有した光センサ回路の構成を示す回路図である。

【図10】図9の光センサ回路におけるゲート電圧VG（取り出し信号）および検出電圧Vdの時間変化を示すグラフである。

【図11】図9の光センサ回路のセンサ電流Idー検出電圧Vdの特性を示すグラフである。

【符号の説明】

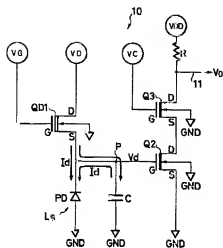
- 10、20 光センサ回路
- 21 タイミング調整器

50 イメージセンサ

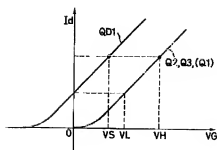
PD フォトダイオード (光-電気変換手段)

QD1 デプレッション型nチャンネルMOSトランジスタ

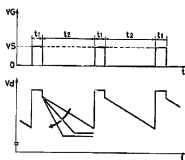
【図1】



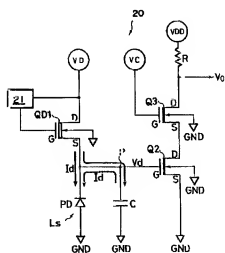
【図2】



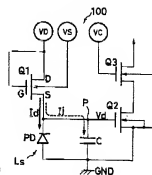
【図3】



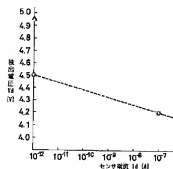
【図4】



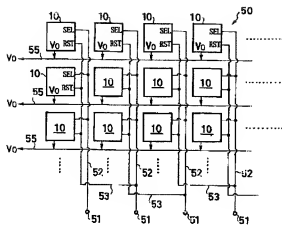
【図5】



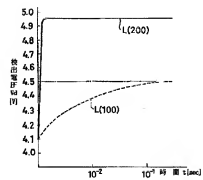
【図7】



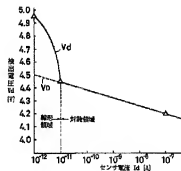
【図5】



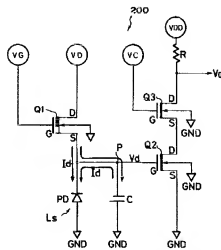
【図8】



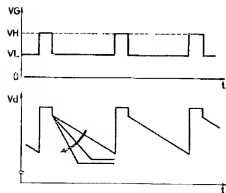
【図11】



【図9】



【図10】



フロントページの続き

(72)発明者 神山 智幸
埼玉県和光市中央 1 丁目 4 番 1 号 株式会
社本田技術研究所内

(72)発明者 今井 俊雄
埼玉県所沢市大字下富字武野840番地 シ
チズン時計株式会社技術研究所内

(72)発明者 田中 利明
埼玉県所沢市大字下富字武野840番地 シ
チズン時計株式会社技術研究所内